

JP49011467

Patent number: JP49011467
Publication date: 1974-01-31
Inventor:
Applicant:
Classification:
- international:
- european:
Application number: JP19720053695 19720530
Priority number(s): JP19720053695 19720530

[Report a data error here](#)

Abstract not available for JP49011467

Data supplied from the **esp@cenet** database - Worldwide

特許公報

(2000円)

特許庁長官

1. 発明の名前

半導体装置の製造方法

2. 発明者

住所 大阪市阿倍野区長池町22番22号
シャープ株式会社内

氏名 山本三郎

3. 特許出願人

住所 大阪市阿倍野区長池町22番22号
名前 (604) シャープ株式会社
代表者 佐 位 照

4. 代理人

住所 大阪市阿倍野区長池町22番22号
シャープ株式会社内
電話大坂 (62) 1223番
氏名 井澤士 (6236) 福士光彦
通算先 電話 (62) 25-4114

5. 標題書類の目録

- (1) 明細書
(2) 図面
(3) 契約状

47-053693



明細書

4. 発明の名前

半導体装置の製造方法

4. 特許請求の範囲

三元素Si-V-Si化合物半導体で内性不純物を用いて多層構造半導体装置を得るにあたって、半導体基板上に被覆する膜層の組成、成長炉の最高保持温度、初期冷却速度に依つて決定される内性不純物のDZC反転温度の冷却速度依存性が、さらに推進中には加する内性不純物の量により大きく変化する事を知つて、形成すべき半導体装置の特性を達成する条件を越んで、上記内性不純物のDZC反転温度の冷却速度依存性の判定の特性曲線をとて、該曲線に依り父母炉冷却速度、DZC領域の冷却速度を越んで成長炉の低温制御を行ふ事に依り所定温度でDZCを形成して半導体装置を得るようとした事を特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

本発明は三元素Si-V-Si化合物半導体を用いた

⑯ 日本国特許庁

公開特許公報

⑪特開昭 49-11467

⑬公開日 昭49.(1974) 1.31

⑫特願昭 47-53693

⑭出願日 昭47.(1972) 5.30

審査請求 未請求 (全4頁)

庁内整理番号

⑮日本分類

6603 A7	996B15
7227 A7	996J4
7221 A7	996A03
7221 A7	996A2
6714 WA	130,DJ22
6923 4/	1-F-40
81579 4/	1-F-70

特許生を有する多層構造半導体装置の製造方法に関する。

Si-V-Si化合物半導体基板を材料として、一回の熱処理法に依り半導体基板上にDZC反転層を形成してなる多層構造半導体装置の製法には、D型不純物及びP型不純物の両者を組合した酸ガスを用いる方法がある。この方法は酸ガスを環状銀ゴム等を用いて基板上に被覆し、伊の冷却速度を調節しながらエピタキシャル成長層を形成するものである。

この時、上記内不純物は、伊の量及び冷却速度に適切に調節した量保持板を有し、そのため内蔵の温度保証の相違を利用して成る事によって成るの特徴を有する層が形成される。

例えばGeAsを材料とする半導体装置の製造時には、D型不純物としてSiを、P型不純物としてTeを用い、内蔵の温度保証の温度及び冷却速度に対する温度依存性を有する事を利用し、一方の冷却速度を必ず不純物が多量に析出する様な冷却速度を過る様に取り基板上にD型層。

の成膜を形成していく。

しかしながらこの様な製造方法では、高圧で安定した不純物を作るのがむずかしく、かつて不純物濃度の制御が苦労である。即ち、上記 T_0 、 T_1 等の元素は高圧で不活性であり遮光しやすい。一定浓度の酸素が得られにくく、かつて活性の一定した系子と活性性よく作る事は不可能である。

この様な欠点を解決するために、活性不純物として日鉄元素を添加した酸素を用い、複数段元素がドロップ不純物あるいはロット不純物として活性に働く条件を見い出し、この条件に従つて α の酸素濃度を行い、多層構造の半導体装置を得る方法がすでに開発されている。この時ガス元素（例えば B_1 ）がドロップ不純物から活性不純物へあるいはロット不純物からドロップ不純物へ反応する条件は、 α の温度及び冷却速度による。かつて α の温度及び冷却速度に従つて一義的に決定されるドロップ反応曲線が得られ、該曲線に従つて α を調節する事から、活性性よく活性の

なければならない。本発明では、光半導体装置の成長せざりの範囲で自由に選べる様に、 Pb 半導体成長時の温度範囲を広くする様にドロップ反応曲線を得る要因を追加し、半導体装置の成長に対し最適な条件を導出すべくあられたものである。

即ち本発明では、半導体装置の成長度に従つてその時の成長条件つまり基板上に被覆するためのソースの組成、 α の最高保持温度 (T_0)、及び初期冷却速度 (V_0) を固定する事に従つて一義的に決定されるドロップ反応温度 (T_1)、冷却速度 (V_1) 及び出発温度 (T_0-V_0 固相) が、ソース中に混入する活性不純物と共に従つて大きく変化する事を知つて、これを利用して所望の多層構造半導体装置を得るようとした。実現な製造方法を提供するものである。

以下、本発明をその一実施例である (GAA1) A 型材料とする多層構造半導体装置を製造する場合について詳述し、本発明を明らかにする。

第1回は (GAA1) A 型の成長時に於ける α

特開昭49-11467 ②

一定した半導体装置が得られる。

これに対し、三元系ヨーヤ法化合物半導体に対しては、ドロップ反応温度を得るために条件が複雑であつて、該曲線を一義的に決定する事は可能ではない。

しかしながら、該成長度に於て成長条件の一節を固定する事に依り、活性不純物のヨーヤ法成長度 (T_0) の温度 (T) 及び冷却速度 (V_0) 依存性が決定される。

本発明はかかる点に因してあされたものであつて、活性不純物のドロップ反応温度曲線を決定する要因を追加し、活性性よく多層構造半導体装置を得る様にした事を特徴とする。また三元系ヨーヤ法化合物半導体で Pb 総合を形成しこれにペイオズ電圧を印加する事に従つて該半導体分子は発光するが、この時の発光強度は発光比に依存する。さらに結晶成長時に於ける発光比は成長の温度によつて変化するものである。かつて発光半導体装置を形成しその発光强度を測定する場合には、 Pb 総合形成時の強度を測定し

ドロップ反応温度 (T_1) の冷却速度 (V_1) 依存性 (T_0-V_0 固相) をがす因である。この因を得るための成長成長の初期条件としては、ソース中への B_1 の添加量 0.1 g/cm^2 、 α の最高保持温度 $T_0=900^\circ\text{C}$ 、初期冷却速度 $V_0=3.3\text{ °C/min}$ とする。また半結晶基板としては石墨 0.6 cm^2 を用いる。この時第1回より明白な様に T_0-V_0 固相は、温度及び冷却速度に因連して逐次的に変化する部分と温度及び冷却速度に因保たない方の冷却域 (P 領) を取る部分 B の2領域にわかれれる。

本発明者はさらに研究ノ由より明らかに、 T_0-V_0 固相の部分がソース中への活性不純物 B_1 の添加量に依存して大きく変化する事を明らかにした。即ち B_1 の添加量を減少させると、 T_0-V_0 固相の部分は他の右側 (冷却速度 V_0 が大的方向) に平行移動する。この平行移動に従つて活性不純物である B_1 がドロップして軽く試験 (冷却速度 V_0 が比較的小の領域) が拡大される。

前ノ段に示す反転温度回路 (Tc-Vc 回路) はこの回路を現にして、冷却速度が大の領域では Si は P 型不純物として、冷却速度が小になる領域では N 型不純物として働く。この時、上述した如く GzAB 半導体基板上に被覆するソース中の、両性不純物としての Si の量をかえると、Tc-Vc 回路の部分より回路の如く変化するため、Si が P 型不純物として働く量及び冷却速度の領域が増加する。従つて PNP 搭合を形成する所、形成温度の可能な範囲を相当広く取る事ができる。

例えばソース中への Si の添加量が約 1% である場合の Tc-Vc 回路①において、かなりの高温 (80°C 近辺) で Si は P 型不純物から N 型不純物に変換させて PNP 搭合を形成する所には、ダの冷却速度をかなり遅く (0.1°C/分以下) する事が必须であるが、現在の温度制御装置ではこの様な冷却速度を実現する事は困難である。ところが本発明に従えばソース中に添加する Si の量を減少する事に依り、該温度での PNP 搭合

不す如く Si の添加量によつて相違する。先ずの相対出力を最高にするのは前に示す如く、ソース中への Si の添加量が 0.02 ~ 0.05 wt% である場合でもつて、これは上述した半導体半導体基板の制作を容易にする Tc-Vc 回路を得るための Si の添加量と等しい。

今、第 2 図(4)に上記の如きを参考に立脚して、最も高感度のよい発光波長 600 nm の光を発する PNP 組成の負性抵抗発光ダイオードの製作例として、温度調節プログラムを示す。

この時ソース中への Si の添加量は 0.02 ~ 0.05 wt% (発光出力を最大とする場合は 0.03 wt%) とする。今日迄 GzAB 基板を用い、第 2 図に示す如く炉温を 900°C まであげて基板上にソースを被覆した後、初期冷却速度 $V_{CO} = 3.2^{\circ}\text{C}/\text{分}$ をもんで、GzAlAs の被覆エピタキシャル層を形成する。尚このソースは GzA 基板中に GzAlAs を組みさせ、さらに Al を 0.1 ~ 0.5 wt% 添加したものである。従つて炉温 GzAB 基板上には口盤の GzAlAs 層が成長する。次に第 1 の反転型回

特開昭49-11467 (3)

の形成が得られる。即ち、ソース中の Si 量を 0.03 wt% とすることにより Tc-Vc 回路④が得られ、80°C 近辺附近においては Si の冷却速度 V_{CO} を約 0.3°C/分以下にする事に依り、PNP 搭合が形成し得る。またソース中の Si 量を 0.02 wt% とするは、Tc-Vc 回路⑤が得られ、80°C 近辺附近においては Si の冷却速度 V_{CO} を約 0.1°C/分以下に保つ事に依り PNP 搭合が形成される。

以上の如くして、従来不可能であつた様な高温に於ても PNP 搭合を形成する事が出来るため、任意の高感度を有する半導体基板が得られる。即ちその发光波長をかなりの範囲に亘つて任意に選択する事が可能である。また一般に、半導体の半導体基板を作成するのに炉の温度制御の最も重要な冷却速度 V_{CO} の範囲にある Tc-Vc 回路を用いるには、第 1 回より明らかなる如く、Si の添加量を 0.02 ~ 0.05 wt% の程度に設定する事によつて可能である。さらにこの様にして得られた半導体基板に於て、その発光出力は第 2 図に

T1 と 87.5°C に保んで炉温が底温まで達した時アセチレンによる第 3 の冷却速度 $V_{CO} = 0.1 ~ 0.5^{\circ}\text{C}/\text{分}$ をもんで底温制御する。この時第 1 の PNP 搭合が形成される。さらに第 2 反転型回路 T2 と 87.0°C に保つた PNP 基板にある第 3 の冷却速度 $V_{CO} = 0.5^{\circ}\text{C}/\text{分} ~ 0.1^{\circ}\text{C}/\text{分}$ をもんで底温を保つ事に依り第 2 の PNP 搭合が形成されて H 型構造が形成する。この後、該構造の冷却速度 V_{CO} を再び保つと、86.5°C にて Tc-Vc 回路の感応点を駆動して炉温を下し、次じ H 型構造が形成される (第 3 図回)。又、第 3 図回は第 3 山形に並づく冷却速度の組合せ、Tc-Vc 回路上に示した所である。該回から明らかなる様に、炉温が 86.5°C 以下になるとどの様な冷却速度ともつしても成核點は P 型構となる。

この様にして 1 回の成核は相成程に被り、外層構造の先端半導体は得られ、その発光波長も正確に 600 nm に制御する事が出来る。

尚、上述したのは GzAlAs についての実験例であるが、本発明は該実験例に限制される事なく

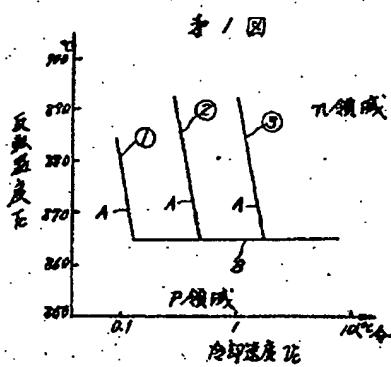
特開昭49-11467 (4)

他の三元系ヨーV族化合物半導体、例えばGaA
sP、GaInP 等の半導体に容易に適用し得る事
は勿論である。

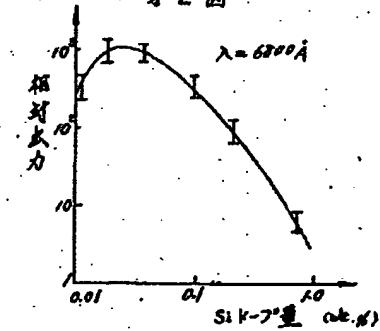
以上詳述した如く本発明の製造方法に依れば、
三元系のヨーV族化合物半導体に於て、かなり
の温度範囲に亘って p-n 疵合を形成する事が出
来、そのため三元系化合物の構成比に依存する
p-n 疵合に於ける発光波長を制御する事が可能
である。さらにこの様な制御はすべて再現性よ
く行い得るため、特徴の一定した多層構造半導
体装置を簡単に、大量生産に當めて造りてい
る。

4. 図面の説明

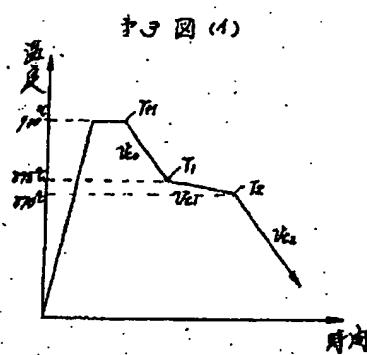
第1図はヨーV族化合物の冷却速度依存性を示
す圖、第2図はソース中の Si 増加量と相対
出力の関係を示す圖、第3図(1)は本発明の一実
験例に於ける半導体焼成製造方法の温度プログラ
ムを示す圖、第3図(2)は第3図(1)の温度プログラ
ムと、並びに冷却速度の関係として示した
圖である。



第1図



第2図



第3図(1)

